

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-208443

(43)Date of publication of application : 28.07.2000

(51)Int.Cl.

H01L 21/288
H01L 21/28
H01L 21/306
H01L 21/3205

(21)Application number : 11-006668

(71)Applicant : SONY CORP

(22)Date of filing : 13.01.1999

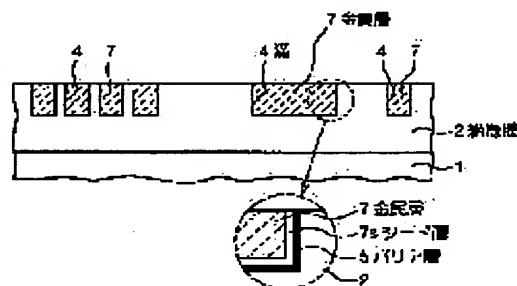
(72)Inventor : MIYAMORI YUUCHI

(54) METHOD AND APPARATUS FOR MANUFACTURING ELECTRONIC DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid shape deformation such as dishing or recess when a metal layer is buried in trenches formed in an insulation film and it is planarized by the chemical-mechanical polishing method.

SOLUTION: A metal layer 7 is deposited by the plating method and the metal layer 7 is removed by the chemical-mechanical polishing method. The deposition of the metal layer 7 by the plating method and the removal of the metal layer 7 by the chemical-mechanical polishing method may be alternately repeated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-208443

(P2000-208443A)

(43) 公開日 平成12年7月28日 (2000.7.28)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 1 L 21/288		H 0 1 L 21/288	E 4 M 1 0 4
21/28	3 0 1	21/28	3 0 1 Z 5 F 0 3 3
21/306		21/306	M 5 F 0 4 3
21/3205		21/88	M

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願平11-6668

(22) 出願日 平成11年1月13日 (1999.1.13)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 宮森 雄亮

東京都品川区北品川6丁目7番35号 ソニー株式会社内

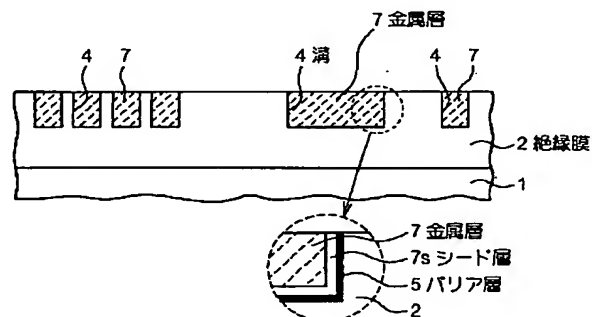
最終頁に続く

(54) 【発明の名称】 電子装置の製造方法および製造装置

(57) 【要約】

【課題】 絶縁膜に形成された溝に金属層を埋め込み、これを化学的機械研磨法で平坦化するに際し、ディッシングやリセス等の形状異常を防止する。

【解決手段】 めっき法で金属層7を堆積するとともに、化学的機械研磨法で金属層7を除去する。めっき法による金属層7の堆積と、化学的機械研磨法による金属層7の除去とを交互に反復してもよい。



【特許請求の範囲】

【請求項 1】 被処理基体上の絶縁膜に形成された溝に、金属層を埋め込む工程を有する電子装置の製造方法であって、
前記金属層を埋め込む工程は、
前記金属層をめっき法で堆積しつつ、前記金属層を化学的機械研磨法により除去する工程を有し、
前記溝内にも、前記金属層を埋め込むことを特徴とする電子装置の製造方法。

【請求項 2】 被処理基体上の絶縁膜に形成された溝に、金属層を埋め込む工程を有する電子装置の製造方法であって、
前記金属層を埋め込む工程は、
前記金属層をめっき法で堆積する工程と、前記金属層を化学的機械研磨法により除去する工程を交互に反復し、
前記溝内にも、前記金属層を埋め込むことを特徴とする電子装置の製造方法。

【請求項 3】 前記金属層を埋め込む工程に先立ち、前記被処理基体上の全面に、導電層を化学的気相成長法により形成する工程を有することを特徴とする請求項 1 または 2 記載の電子装置の製造方法。

【請求項 4】 前記金属層を埋め込む工程に先立ち、前記被処理基体上の全面に、導電層を物理的気相成長法により形成する工程を有することを特徴とする請求項 1 または 2 記載の電子装置の製造方法。

【請求項 5】 前記金属層は、Cu および Ag のいずれか一方を含むことを特徴とする請求項 1 または 2 記載の電子装置の製造方法。

【請求項 6】 前記溝は、溝配線用溝および接続孔のいずれか少なくとも一方であることを特徴とする請求項 1 または 2 記載の電子装置の製造方法。

【請求項 7】 被処理基体上の絶縁膜に形成された溝に、金属層を埋め込む手段を有する電子装置の製造装置であって、
前記金属層を埋め込む手段は、
前記金属層をめっき法による堆積装置と、
前記金属層の化学的機械研磨法による除去装置と、
前記堆積装置と、前記除去装置とを同時に作動させる制御装置とを有することを特徴とする電子装置の製造装置。

【請求項 8】 被処理基体上の絶縁膜に形成された溝に、金属層を埋め込む手段を有する電子装置の製造装置であって、
前記金属層を埋め込む手段は、
前記金属層をめっき法による堆積装置と、
前記金属層の化学的機械研磨法による除去装置と、
前記堆積装置と、前記除去装置とを交互に作動させる制御装置とを有することを特徴とする電子装置の製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電子装置の製造方法および製造装置に関し、さらに詳しくは、高集積度半導体装置等の電子装置の配線や電極を、絶縁膜の溝内に平坦に埋め込む工程を有する電子装置の製造方法およびその製造装置に関する。

【0002】

【従来の技術】高集積度半導体装置をはじめとする電子装置の配線や電極の材料として、従来より Al 系金属や W 等の高融点金属が採用されている。近年の電子装置の高性能化にともない、配線抵抗による信号伝送速度の遅延や消費電力の増大を回避するため、抵抗値の小さい Cu や Ag 等の配線材料を採用する動向にある。これら金属は低抵抗である反面、従来のドライエッチング技術ではバターニングが困難な難エッチング材料でもある。

【0003】一方、電子装置の高集積度化のために、配線層を絶縁膜を介して多層に形成し、各配線層間をコンタクトプラグやビアコンタクトプラグで接続する多層配線構造が採用されている。

【0004】多層配線構造とするためには、配線用金属層を全面に形成後、リソグラフィ工程やドライエッチング工程によりバターニングする工程と、層間絶縁膜を形成する工程とを繰り返す。このため、被処理基体表面には配線による段差が次第に発生し、微細パターンのリソグラフィ精度を低下する。これは、露光工程で用いるステップの DOF (Depth of Focus) が、露光波長の短波長化とともに浅くなることが一因である。

【0005】このような低抵抗配線材料のドライエッチングの問題や、段差発生の問題を共に解決する方法として、化学的機械研磨 (CMP; Chemical Mechanical Polishing) 法がある。CMP 法は、配線用等の溝が予め形成された絶縁膜上に金属層を堆積し、溝以外の絶縁膜上にも堆積した不要の金属層を、化学反応を伴った研磨により除去し、溝内にも金属層を残す方法である。したがって、被処理基体全面にわたる平坦化が可能であり、また難エッチング性金属のドライエッチングも不要である。

【0006】CMP 法による配線および電極の形成は、Damascene あるいは Dual Damascene プロセスとして知られている。前者は配線用溝を Cu 等の金属層で埋め込む技術であり、後者は配線用溝と接続孔とを同時に Cu 等の金属層で埋め込む方法である。

【0007】これら Damascene あるいは Dual Damascene プロセスによれば、被処理基体全面にわたるグローバル平坦化が原理的に可能である。しかしながら、実際の被処理基体では、配線幅の広狭や、配線密度の疎密が存在すること、および絶縁膜上の金属層を完全に除去するためにオーバーポリッシングが必要とされることに起因して、局所的には平坦性が損なわれる現象が見られる。

これは、ディッシング、リセスおよびエロージョンとし

て知られている。この問題を図 8 を参照して説明する。

【0008】図 8 は、半導体基体 1 上の絶縁膜 2 に形成された溝 4 内に、金属層 7 を CMP 法により埋め込んだ状態を示す概略断面図である。この際絶縁膜 2 上に金属層 7 が残ると短絡や抵抗異常の原因となるので、適度のオーバーポリッシングをかけている。溝 4 に埋め込まれた金属層 7 は、その幅に広狭があり、また密に分布する部分と孤立する部分とが存在する。

【0009】ディッシング 8 は、幅の広い金属層 7 表面が緩やかな凹形状となる現象である。これは Cu 等の金属層 7 材料の硬度に比較して、絶縁膜 2 の硬度が高いため、研磨パッドが幅の広い金属層 7 中央部分に圧入され、この部分のポリッシングレートが大きくなるためである。

【0010】リセス 9 は、特に幅の狭い金属層 7 が孤立している部分に凹部が発生する現象であり、プラズマエッチングにおけるマイクロローディング効果に類似することから、マイクロディッシングとも呼ばれる。リセス 9 は、孤立した金属層 7 にケミカルエッチングが集中するためとされ、メカニカルポリッシングの関与が小さい点で、ディッシング 8 と区別される。

【0011】エロージョン 10 は、金属層 7 間隔が狭く、したがって露出する絶縁膜 2 の幅が狭い領域に発生し、まず金属層 7 にリセス 9 が発生し、このため突出する狭い絶縁膜 2 が削られる結果、さらに金属層 7 も削られ、全体として薄くなる現象である。このためシンニング (Thinning) とも呼ばれる。

【0012】いずれの現象も、金属層 7 の幅の広狭や疎密に依存して、金属層 7 の厚さが変動する。この結果、金属層 7 の抵抗値が被処理基体の場所によって変動する不都合があった。

【0013】これらのうち、特にケミカルエッチングによるリセスを防止するため、研磨面全面にケミカルエッチングストッパを形成しつつポリッシングする方法が、例えば特開平 10-106983 号公報に開示されている。この方法により、凹部をケミカルエッチングから保護しつつ CMP することにより、均一な平坦面を得るのである。保護膜としては、ヒドロキシエチルセルロース等の有機樹脂をスラリー中に添加して用いる。

【0014】しかしながら、この方法では CMP 中に保護膜を形成するためにポリッシングレートの制御が困難である。また被処理基体表面に有機物が残り、汚染源となる問題があった。

【0015】

【発明が解決しようとする課題】本発明はかかる現状に鑑み提案するものであり、各種電子装置の絶縁膜に形成された溝に、CMP 法により金属層を埋め込むに際し、ディッシングをはじめとする不均一なポリッシング形状を防止しうる電子装置の製造方法を提供することを課題とする。

【0016】また本発明の他の課題は、各種電子装置の絶縁膜に形成された溝に、CMP 法により金属層を埋め込む装置であって、ディッシングをはじめとする不均一なポリッシング形状を防止しうる電子装置の製造装置を提供することである。

【0017】

【課題を解決するための手段】本発明者は上述した課題を達成するため、CMP による金属層の除去工程と、金属層の堆積工程とを、競合させながら、あるいは交互に反復させながら金属層を絶縁膜の溝内に埋め込むことにより、被処理基体の全面にわたり、平坦な埋め込み面が得られることを見出し、本発明を完成するに至った。

【0018】すなわち、本発明の電子装置の製造方法は、被処理基体上の絶縁膜に形成された溝に、金属層を埋め込む工程を有する電子装置の製造方法であって、この金属層を埋め込む工程は、金属層をめっき法で堆積しつつ、この金属層を化学的機械研磨法により除去する工程を有し、溝内にのみ、この金属層を埋め込むことを特徴とする。

【0019】本発明の他の電子装置の製造方法は、被処理基体上の絶縁膜に形成された溝に、金属層を埋め込む工程を有する電子装置の製造方法であって、この金属層を埋め込む工程は、金属層をめっき法で堆積する工程と、この金属層を化学的機械研磨法により除去する工程を交互に反復し、溝内にのみ、前記金属層を埋め込むことを特徴とする。

【0020】いずれの電子装置の製造方法においても、この金属層を埋め込む工程に先立ち、被処理基体上の全面に、導電層を化学的気相成長法 (Chemical Vapor Deposition)、あるいは物理的気相成長法 (Physical Vapor Deposition) により形成する工程を有することが望ましい。この導電層は金属層の拡散防止バリア層や、あるいは電気めっき法で金属層を形成する場合には通電層 (シード層) として機能する。

【0021】またいずれの電子装置の製造方法においても、この金属層は、Cu あるいは Ag を含む際に好ましく適用できる。

【0022】またいずれの電子装置の製造方法においても、この溝は、溝配線用溝、または溝配線用溝と接続孔とが一体となった構造に対し、好ましく適用することができる。これらは、それぞれ Damascene および Dual Damascene プロセスに相当する。接続孔は、Contact Hall あるいは Viacontact Hall のいずれでもよい。

【0023】つぎに本発明の電子装置の製造装置は、被処理基体上の絶縁膜に形成された溝に、金属層を埋め込む手段を有する電子装置の製造装置であって、この金属層を埋め込む手段は、この金属層のめっき法による堆積装置と、この金属層の化学的機械研磨法による除去装置と、この堆積装置と、除去装置とを同時に作動させる制御装置とを有することを特徴とする。

【0024】本発明の別の電子装置の製造装置は、被処理基体上の絶縁膜に形成された溝に、金属層を埋め込む手段を有する電子装置の製造装置であって、この金属層を埋め込む手段は、この金属層のめっき法による堆積装置と、この金属層の化学的機械研磨法による除去装置と、この堆積装置と、除去装置とを交互に作動させる制御装置とを有することを特徴とする。

【0025】〔作用〕CMPにより露出した絶縁膜上には、めっき法による金属層は堆積しない。一方、リセスやディッシングが発生した金属層上にはめっき法により新たな金属層が堆積する。したがって、溝の幅の広狭や疎密によらず、被処理基体全面にわたり平坦に金属層を埋め込むことが可能となる。

【0026】このような金属層の埋め込みは、CMPを施しながらめっきが可能な製造装置、あるいはCMPとめっきを交互に施すことが可能な装置により、スループット高く製造することができる。

【0027】

〔発明の実施の形態〕以下、本発明の電子装置の製造方法および製造装置につき、図面を参照しつつ説明を加える。以下の発明の実施形態および実施例では、電子装置として高集積度半導体装置の溝配線の形成工程を例にとり説明する。

【0028】図1は本発明の電子装置の製造方法により製造された、高集積度半導体装置の要部を示す概略断面図である。すなわち、Si等の半導体基体1上の絶縁膜2には、複数の溝4が形成されている。この溝4の幅は、例えば0.1 μ m～数 μ mの範囲におよぶ広狭を有する。また溝4の分布密度も、近接して密に存在する領域と、孤立する疎な領域とがある。溝4は、図1では溝配線の形態であるが、溝配線と接続孔とが同時に形成されていてもよい。接続孔として、コンタクトホールの場合、半導体基体1に形成された不純物拡散層（不図示）に臨んで開口するものである。また接続孔として、ビアコンタクトホールの場合、配線層（不図示）に臨み開口するものである。溝の深さは、例えば300nm～1 μ m程度である。絶縁膜2は、酸化シリコンや、酸化シリコン等の無機系絶縁膜と有機系絶縁膜との積層構造からなる。その厚さは、例えば600nm～数 μ m程度である。

【0029】これら複数の溝4には、破線で囲む領域の拡大図に示すように、バリア層5、シード層7sおよび金属層7が埋め込まれている。これらのうち、バリア層5はTiNやTaN等の高融点金属窒化物層、あるいはこれら高融点金属窒化物層と高融点金属との積層からなる。バリア層5の厚さは20nm～50nm程度である。シード層7sは、Cu、AgやNi等の金属からなる。シード層7sは、金属層7と同じ材料であってよく、その厚さはめっき法の際の通電層として機能する厚さ、例えば20nm～100nm程度である。金属層

は、Cu、Ag等の低抵抗金属からなることが望ましいが、W等の高融点金属であってもよい。

【0030】図1に例示した高集積度半導体装置の特徴は、溝4に埋め込まれた金属層7の表面がいずれも平坦化されており、図8に示した従来の半導体装置に見られるディッシング8、リセス9およびエロージョン10のいずれも見られないことである。これは、本発明によるCMPによる金属層の除去工程と、めっき法による金属層の堆積工程とを、同時に競合させながら、あるいは交互に反復させながら金属層を埋め込むことにより達成されたものである。

【0031】つぎに本発明の電子装置の製造装置につき、図5～図7を参照して説明する。これらの装置は、いずれもめっき法による金属層の堆積装置と、CMP法による金属層の除去装置が一体化された装置である。

【0032】図5に示す装置は、めっき槽16内に、被処理基体11をチャッキングした、回転自在のヘッド12が配設され、めっき液18、あるいは研磨粒子を含むめっき液18'中に浸漬されている。めっき液18、あるいは研磨粒子を含むめっき液18'は、不図示の注入孔および排出孔から注入、排出が可能であり、めっき液18、あるいは研磨粒子を含むめっき液18'を切り換えて使用できる。符号13は弾性を持つ端子であり、めっき電源の負電位を被処理基体のシード層あるいは金属層に供給する。端子13の接触部位は、被処理基体11の円弧状の側面あるいは被処理基体11のオリエンテーションフラット部の側面である。シード層をスパッタリング法やCVD(Chemical Vapor Deposition)法で形成する場合には、これら側面にもシードが堆積されるので、その部位に端子13を接触させる。端子13はその先端のみが電氣的に露出していけばよい。また端子13は複数個所に設けてもよい。符号17はめっき電源の正電位に接続されている陽極である。不図示のめっき電源は、定常電圧を印加するものであっても、パルス状、鋸歯状あるいは正弦波状等の変動電圧を印加するものであってもよい。

【0033】めっき槽16に対向して、研磨布15を貼着した、これも回転自在の定盤14が配設されている。定盤14の直径は、ヘッド12の直径より大きい。定盤14は、装置の上下方向に進退自在に構成されている。また定盤14は、装置の水平方向に進退自在にも構成されていてよい。

【0034】図5(a)に示す状態では、定盤14はめっき槽16の上方に引き上げられている。この状態で被処理基体11をヘッド12に着脱し、あるいは被処理基体11上にめっきを施すことができる。

【0035】図5(b)に示す状態では、定盤14はめっき槽16の内部に下降し、研磨粒子を含むめっき液18'中に浸漬されるとともに、一定の圧力で被処理基体11表面に圧着される。このとき定盤14およびヘッド

12はともに回転していて、被処理基体11上にめっき、およびCMPを同時に施すことができる。

【0036】これら定盤14、ヘッド12の動作、めっき液18および研磨粒子を含むめっき液18'の注入、排出およびめっき電圧の印加等の制御は、不図示のマイクロコンピュータ等の制御装置に統一的によりなされる。

【0037】図6に示す装置は、ヘッド12と定盤14の直径の関係が入れ替わった他は、図5の装置に準ずる構成である。図6の装置構成においては、被処理基体11の表面は定盤14により全面的に覆われていない。したがって、定盤14からの露出部分に端子13を接触することができる。端子13は弾性体によるブラシ状のものでよい。もちろん、図5と同じく被処理基体11の側面に端子13を接触することもできる。

【0038】図7の装置は、図7(a)に示すめっき装置と、図7(b)に示すCMP装置とが別体に構成されており、不図示の制御装置により一元的に制御されるものである。この場合、研磨粒子を含むスラリーは、ノズル19から被処理基体11上に供給される。

【0039】

【実施例】以下、本発明の電子装置の製造方法につき、実施例によりさらに詳細に説明を加える。前述の通り、電子装置として高集積度半導体装置を例にとり説明する。ただしこれら実施例は単なる例示であり、本発明を限定するものではない。

【0040】【実施例1】本実施例は金属層をめっき法で堆積しつつ、この金属層をCMP法で除去して、被処理基体の溝内に金属層を平坦に埋め込んだ例であり、この工程を図2を参照して説明する。製造装置としては、

【0041】図2(a)：本実施例で採用した被処理基体は、Si等の半導体基体1上にSiO₂からなる絶縁膜2をプラズマCVD法により1000nmの膜厚に形成し、ここに複数の溝4を形成したものである。

絶縁膜2のプラズマCVD条件

TEOS	800	sccm
O ₂	800	sccm
圧力	1133	Pa
RF電力	700	W
温度	400	℃

【0042】溝4は、図2(a)では2個のみを示したが、実際には溝幅に広狭を有し、また密集領域と孤立領域とがある。溝4は、RIE(Reactive Ion Etching)法により、500nmの深さに形成した。

溝4のRIE条件

CHF ₃	1000	sccm
CO	200	sccm
圧力	5.3	Pa
RF電力	1200	W

温度 -30℃

【0043】図2(b)：溝4内部を含め、絶縁膜2上にTiNによるバリア層5を30nm、Cuによるシード層7sを30nm、いずれもスパッタリング法により形成する。

バリア層5のスパッタリング条件

ターゲット	Ti
Ar	21 sccm
N ₂	42 sccm
圧力	0.78 Pa
RF電力	6 kW
温度	300℃

シード層7sのスパッタリング条件

ターゲット	Cu
Ar	65 sccm
圧力	0.52 Pa
RF電力	15 kW
温度	150℃

【0044】図2(c)：図2(b)に示す被処理基体を、図5(a)に示した装置のヘッド12上にセッティングし、金属層7としてCuを1000nmの膜厚にめっきする。図2(c)では、めっき槽16とめっき液18、および被処理基体のみを示す。

めっき液18組成

硫酸銅	7 g/l
ホルマリン	20 ml/l
水酸化ナトリウム	10 g/l
酒石酸ナトリウムカリウム	20 g/l
安定剤	適量
湿潤剤	適量
温度	50℃
電流密度	1.0 A/dm ²

めっき液18は、通常の硫酸銅めっき液として一般的な組成でよい。

【0045】図2(d)：めっき液18を排出し、かわりに研磨剤および必要に応じて酸化剤を添加した、研磨粒子を含むめっき液18'をめっき槽16内に注入する。あるいは、めっき液18に研磨剤および必要に応じて酸化剤を添加して、研磨粒子を含むめっき液18'としてもよい。定盤14を下降し、一定圧力で被処理基体に圧着させるとともに、ヘッド12および定盤14をそれぞれ50rpmで回転する。この状態でめっき電源を通電することにより、金属層7の除去と、金属層7の新たな堆積が同時に進行する。このとき、金属層7の除去速度が、金属層7の堆積速度より大きくなるように、電流密度や圧着圧力を設定する。めっき電源の通電は、CMP工程の後半、すなわちオーバーポリッシング工程で施してもよい。

【0046】金属層7のCMPが進んで絶縁膜2表面が露出した段階からオーバーポリッシング工程となるが、

この工程で通常は溝4内に埋め込まれた金属層7にディッシング、リセスあるいはエロージョン等の形状異常が発生する。しかしながら、本実施例ではこれら形状異常が発生した部分への研磨パッドの圧着力が低減し、金属層7の除去速度が低下する結果、金属層7のめっきによる堆積速度が優越する。したがって、ディッシングをはじめとする形状異常が補正される。一方、金属層7、シード層7sおよびバリア層5が除去され、凸部表面が露出した絶縁膜2には新たな金属層の堆積は起こらない。

【0047】最終的には、図1に示したように、複数の溝4内に金属層7が平坦に埋め込まれ、絶縁膜2の凸部表面にバリア層5、シード層7sおよび金属層7の残渣が発生することもない。この後の工程、すなわち上層の絶縁膜形成、上層配線層形成等の各工程を経て半導体装置を完成する。

【0048】〔実施例2〕本実施例は同じく金属層をめっき法で堆積しつつ、この金属層をCMP法で除去して、被処理基体の溝内に金属層を平坦に埋め込んだ例であり、この工程を図3を参照して説明する。製造装置としては、図6に示す装置を用いた。

【0049】図3(a)：本実施例で採用した被処理基体の構成および製造方法は、前実施例1で図2(a)～図2(b)を参照して説明したものと同様であり、重複する説明は省略する。

【0050】図3(b)：図3(a)に示す被処理基体を、図6(a)に示した装置のヘッド12上にセッティングし、金属層7としてCuを1000nmの膜厚にめっきする。図3(b)では、めっき槽16、めっき液18、端子13、陽極17、および被処理基体のみを示す。

めっき液18組成

銅(金属イオンとして)	28 g/l
硫酸イオン	200 g/l
塩素イオン	70 mg/l
安定剤	適量
湿潤剤	適量
温度	20 °C
電流密度	1.0 A/dm ²

めっき液18は、この場合も通常の硫酸銅めっき液として一般的な組成でよい。

【0051】図3(c)：めっき液18を排出し、かわりに研磨剤および必要に応じて酸化剤を添加した、研磨粒子を含むめっき液18'をめっき槽16内に注入する。本実施例においても、めっき液18に研磨剤および必要に応じて酸化剤を添加して、研磨粒子を含むめっき液18'としてもよい。定盤14を下降し、一定圧力で被処理基体に圧着させるとともに、ヘッド12および定盤14をそれぞれ50rpmで回転する。この状態でめっき電源を通電することにより、金属層7の除去と、金属層7の新たな堆積が同時に進行する。このとき、金属

層7の除去速度が、金属層7の堆積速度より大きくなるように、電流密度や圧着圧力を設定する。めっき電源の通電は、CMP工程の後半、すなわちオーバーポリッシング工程で施してもよい。

【0052】金属層7のCMPが進んで絶縁膜2表面が露出した段階からオーバーポリッシング工程となるが、この工程で通常は溝4内に埋め込まれた金属層7にディッシング、リセスあるいはエロージョン等の形状異常が発生する。しかしながら、本実施例でもこれら形状異常が発生した部分への研磨パッドの圧着力が低減し、金属層7の除去速度が低下する結果、金属層7の堆積速度が優越する。したがって、ディッシングをはじめとする形状異常が補正される。一方、金属層7、シード層7sおよびバリア層5が除去され、凸部表面が露出した絶縁膜2には新たな金属層の堆積は起こらない。

【0053】最終的には、図1に示したように、複数の溝4内に金属層7が平坦に埋め込まれ、絶縁膜2の凸部表面にバリア層5、シード層7sおよび金属層7の残渣が発生することもない。この後の工程、すなわち上層の絶縁膜形成、上層配線層形成等の各工程を経て半導体装置を完成する。

【0054】〔実施例3〕本実施例は金属層をめっき法で堆積する工程と、この金属層をCMP法で除去する工程とを交互に施して、被処理基体の溝内に金属層を平坦に埋め込んだ例であり、この工程を図4を参照して説明する。製造装置としては、図7に示す装置を用いた。

【0055】図4(a)：本実施例で採用した被処理基体の構成および製造方法も、前実施例1で図2(a)～図2(b)を参照して説明したものと同様であり、重複する説明は省略する。

【0056】図4(b)：図4(a)に示す被処理基体に、図7(a)に示しためっき装置により、金属層7としてCuを1000nmの膜厚にめっきする。

めっき液18組成

銅(金属イオンとして)	28 g/l
硫酸イオン	200 g/l
塩素イオン	70 mg/l
安定剤	適量
湿潤剤	適量
温度	20 °C
電流密度	1.0 A/dm ²

めっき液18は、この場合も通常の硫酸銅めっき液として一般的な組成でよい。

【0057】図4(c)：金属層7をめっきした被処理基体を図7(b)に示すCMP装置のヘッドにチャッキングし、ヘッド12および定盤14をそれぞれ50rpmで回転して余分の金属層7を除去する。スラリは、研磨粒子および酸化剤を含む一般的なものでよい。絶縁膜2凸部上の金属層7、シード層7sおよびバリア層5が除去された段階では、溝4内に埋め込まれた金属層7

表面にはディッシング等の形状異常が発生している。

【0058】図4(d)：そこで本実施例では、再度被処理基体を図7(a)に示しためっき装置により、金属層7としてCuを堆積する。堆積膜厚は、ディッシングにより金属層7の膜減りが発生した程度でよい。金属層7は絶縁膜2上には堆積しないので、ディッシングによる形状異常を修正することができる。ただし、溝4の個所によっては、金属層7が盛り上がって堆積する場合もあり得る。

【0059】この場合は、被処理基体をさらに図7(b)に示すCMP装置のヘッドにチャッキングし、余分の金属層7を除去する。このように金属層7の堆積と除去とを交互に反復することにより、最終的には図1に示したように、複数の溝4内に金属層7が平坦に埋め込まれ、絶縁膜2の凸部表面にバリア層5、シード層7sおよび金属層7の残渣が発生することもない。この後の工程、すなわち上層の絶縁膜形成、上層配線層形成等の各工程を経て半導体装置を完成する。

【0060】〔実施例4〕実施例1あるいは実施例2において、金属層を堆積しつつ除去する工程でのめっき電源をパルス電源とし、パルス状に電流を印加する。パルス状印加の一例として、パルス幅は1ms、デューティ比は1程度とする。本実施例では電流印加のない期間にはCMPが進行し、パルス電流を印加した際に堆積およびCMPが進む。したがって、パルスおよびデューティ比により、金属層7の堆積と除去の割合を制御することができ、より精度の高い金属層の平坦化埋め込みが可能となる。

【0061】以上、本発明の電子装置の製造方法および製造装置につき詳細な説明を加えたが、これらは単なる例示であり、本発明はこれら実施例に何ら限定されるものではない。

【0062】電子装置として例示した高集積度半導体装置の他に、薄膜ヘッド装置、薄膜コイル装置、薄膜インダクタ装置、あるいはマイクロマシン装置等、金属層を平坦に埋め込む工程を有する各種電子装置に、好ましく本発明を適用することができる。

【0063】

*

＊【発明の効果】以上の説明から明らかなように、本発明の電子装置の製造方法によれば、各種電子装置の絶縁膜に形成された溝に、CMP法により金属層を埋め込むに際し、ディッシングをはじめとする不均一なポリッシング形状を防止しうる電子装置の製造方法を提供することができる。

【0064】また本発明の電子装置の製造装置によれば、CMP装置とめっき装置とを有機的に結合し、これを制御装置で制御することにより、従来のCMP装置の懸案であったディッシングをはじめとする不均一なポリッシング形状を防止しうる電子装置の製造装置を提供することが可能となった。

【図面の簡単な説明】

【図1】本発明の電子装置の製造方法により製造された、高集積度半導体装置の要部を示す概略断面図である。

【図2】本発明の電子装置の製造方法の工程を示す概略断面図である。

【図3】本発明の他の電子装置の製造方法の工程を示す概略断面図である。

【図4】本発明のさらに他の電子装置の製造方法の工程を示す概略断面図である。

【図5】本発明の電子装置の製造装置を示す概略断面図である。

【図6】本発明の他の電子装置の製造装置を示す概略断面図である。

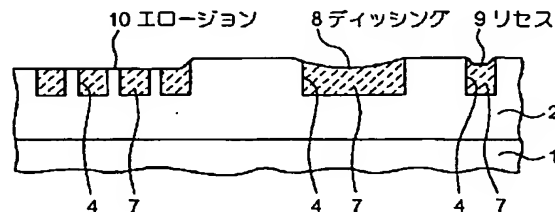
【図7】本発明のさらに他の電子装置の製造装置を示す概略断面図である。

【図8】従来の電子装置の問題点を示す概略断面図である。

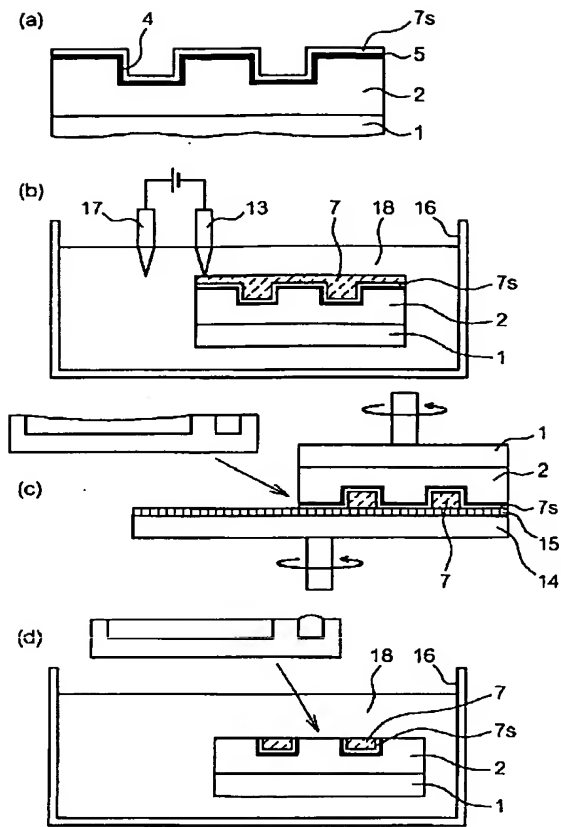
【符号の説明】

1…半導体基体、2…絶縁膜、4…溝、5…バリア層、7…金属層、7s…シード層、8…ディッシング、9…リセス、10…エロージョン11…被処理基体、12…ヘッド、13…端子、14…定盤、15…研磨布、16…めっき槽、17…陽極、18…めっき液、18'…研磨粒子を含むめっき液、19…ノズル

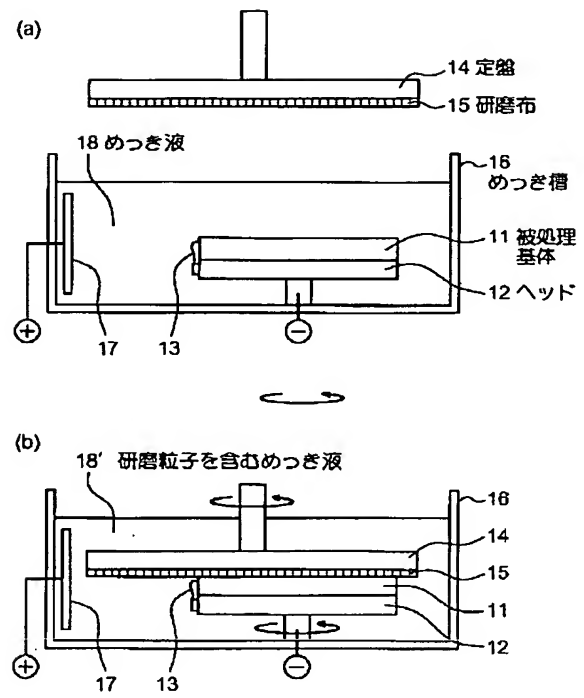
【図8】



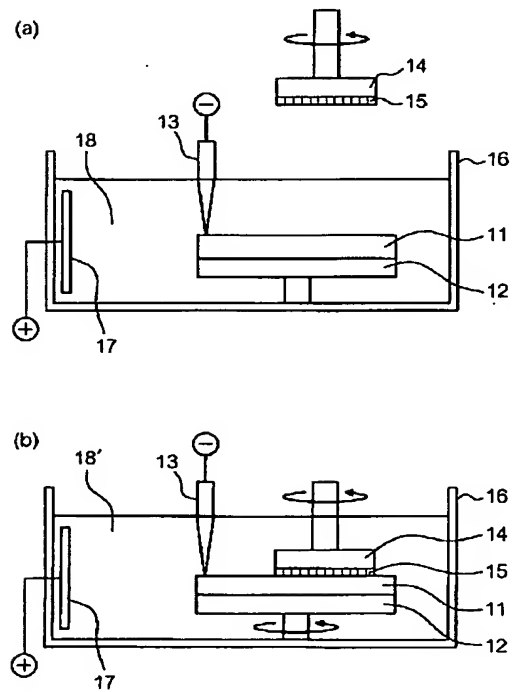
【図4】



【図5】



【図6】



フロントページの続き

F ターム(参考) 4M104 AA01 BB04 BB08 BB18 BB30
BB32 CC01 DD08 DD37 DD52
DD75 FF18 FF22 GG13 HH12
5F033 HH11 HH14 HH19 HH32 HH33
MM01 MM08 MM12 MM13 PP06
PP14 PP27 QQ09 QQ13 QQ37
QQ48 RR04 SS04 SS15 XX01
5F043 AA26 DD10 DD15 DD16 DD30
FF01 FF07 GG02 GG03 GG10

